

Документ подписан простой электронной подписью
Информация о владельце:
ФИО: Сенченко Павел Васильевич
Должность: Проректор по учебной работе
Дата подписания: 05.11.2023 21:44:44
Уникальный программный ключ:
27e516f4c088deb62ba68945f4406e13fd454355

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ
Федеральное государственное бюджетное образовательное учреждение высшего образования
«ТОМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ СИСТЕМ
УПРАВЛЕНИЯ И РАДИОЭЛЕКТРОНИКИ»
(ТУСУР)

АННОТАЦИЯ РАБОЧЕЙ ПРОГРАММЫ ДИСЦИПЛИНЫ

ПРОГРАММИРОВАНИЕ ЛОГИЧЕСКИХ ИНТЕГРАЛЬНЫХ СХЕМ

Уровень образования: **высшее образование - бакалавриат**

Направление подготовки / специальность: **11.03.02 Инфокоммуникационные технологии и системы связи**

Направленность (профиль) / специализация: **Системы радиосвязи и радиодоступа**

Форма обучения: **заочная (в том числе с применением дистанционных образовательных технологий)**

Факультет: **Факультет дистанционного обучения (ФДО)**

Кафедра: **Кафедра телекоммуникаций и основ радиотехники (ТОР)**

Курс: **4, 5**

Семестр: **8, 9**

Учебный план набора 2023 года

Объем дисциплины и виды учебной деятельности

Виды учебной деятельности	8 семестр	9 семестр	Всего	Единицы
Лабораторные занятия		4	4	часов
Самостоятельная работа	123	98	221	часов
Самостоятельная работа под руководством преподавателя	10	2	12	часов
Контрольные работы	2		2	часов
Подготовка и сдача экзамена/зачета	9	4	13	часов
Общая трудоемкость	144	108	252	часов
(включая промежуточную аттестацию)			7	з.е.

Формы промежуточной аттестация	Семестр	Количество
Экзамен	8	
Контрольные работы	8	1
Зачет	9	

1. Общие положения

1.1. Цели дисциплины

1. Изучение архитектуры и схемотехники современных программируемых логических интегральных схем, принципов проектирования цифровых схем с использованием ПЛИС, методов и средств отладки таких схем, языка проектирования цифровых устройств Verilog HDL.

1.2. Задачи дисциплины

1. Приобретение студентами знаний в области проектирования цифровых схем с использованием ПЛИС.

2. Приобретение умений проектировать телекоммуникационные системы на ПЛИС с использованием языка описания цифровых устройств Verilog HDL.

3. Овладение практическими навыками в области разработки и отладки описаний цифровых устройств на языке Verilog HDL на основе программного обеспечения зарубежных фирм и отладочных модулей с использованием ПЛИС.

2. Место дисциплины в структуре ОПОП

Блок дисциплин: Б1. Дисциплины (модули).

Часть блока дисциплин: Часть, формируемая участниками образовательных отношений.

Модуль дисциплин: Модуль направленности (профиля) (major).

Индекс дисциплины: Б1.В.01.09.

Реализуется с применением электронного обучения, дистанционных образовательных технологий.

3. Перечень планируемых результатов обучения по дисциплине, соотнесенных с индикаторами достижения компетенций

Процесс изучения дисциплины направлен на формирование следующих компетенций в соответствии с ФГОС ВО и основной образовательной программой (таблица 3.1):

Таблица 3.1 – Компетенции и индикаторы их достижения

Компетенция	Индикаторы достижения компетенции
Универсальные компетенции	
-	-
Общепрофессиональные компетенции	
-	-
Профессиональные компетенции	
ПК-3. Способен выполнять математическое и компьютерное моделирование объектов и процессов инфокоммуникационных сетей и систем по типовым методикам для решения профессиональных задач	ПК-3.1. Знает типовые методы математического моделирования, используемые в специализируемых прикладных программах для проектирования и разработки радиотехнических систем
	ПК-3.2. Умеет выполнять моделирование физических объектов и процессов с использованием специализированных прикладных программ
	ПК-3.3. Владеет типовыми методиками разработки радиоэлектронных средств и их составных частей, в том числе с использованием прикладных программ

4. Названия разделов (тем) дисциплины

Названия разделов (тем) дисциплины
8 семестр
1 Цифровые логические схемы

2 Основные элементы и функции языка Verilog
3 Триггеры
4 Мультиплексор, демультиплексор, дешифратор, счетчик
5 Сдвиговые регистры, счетчик
6 Верификация проектов с помощью Modelsim
7 Логический анализатор SignalTap II
8 MegaWizard
9 Машина конечных состояний
10 Модули памяти
11 Фильтрация ПЛИС
12 Согласование модулей
9 семестр
13 Мультиплексор, демультиплексор, дешифратор, счетчик
14 Верификация проектов с помощью Modelsim