

Документ подписан простой электронной подписью
Информация о владельце:
ФИО: Сенченко Павел Васильевич
Должность: Проректор по учебной работе
Дата подписания: 10.11.2023 07:53:05
Уникальный программный ключ:
27e516f4c088deb62ba68945f4406e13fd454355

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ

Федеральное государственное бюджетное образовательное учреждение высшего образования

**«ТОМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ СИСТЕМ
УПРАВЛЕНИЯ И РАДИОЭЛЕКТРОНИКИ»
(ТУСУР)**

АННОТАЦИЯ РАБОЧЕЙ ПРОГРАММЫ ДИСЦИПЛИНЫ

ПРОГРАММИРОВАНИЕ ЛОГИЧЕСКИХ ИНТЕГРАЛЬНЫХ СХЕМ

Уровень образования: **высшее образование - бакалавриат**

Направление подготовки / специальность: **11.03.01 Радиотехника**

Направленность (профиль) / специализация: **Радиотехнические средства передачи, приема и обработки сигналов**

Форма обучения: **заочная**

Факультет: **Заочный и вечерний факультет (ЗиВФ)**

Кафедра: **Кафедра телекоммуникаций и основ радиотехники (ТОР)**

Курс: **4, 5**

Семестр: **8, 9**

Учебный план набора 2020 года

Объем дисциплины и виды учебной деятельности

Виды учебной деятельности	8 семестр	9 семестр	Всего	Единицы
Лекционные занятия	2	8	10	часов
Практические занятия		4	4	часов
Лабораторные занятия		12	12	часов
Самостоятельная работа	34	73	107	часов
Контрольные работы		2	2	часов
Подготовка и сдача экзамена		9	9	часов
Общая трудоемкость (включая промежуточную аттестацию)	36	108	144	часов
			4	з.е.

Формы промежуточной аттестация	Семестр	Количество
Экзамен	9	
Контрольные работы	9	1

1. Общие положения

1.1. Цели дисциплины

1. Изучение архитектуры и схемотехники современных программируемых логических интегральных схем, принципов проектирования цифровых схем с использованием ПЛИС, методов и средств отладки таких схем, языка проектирования цифровых устройств Verilog HDL.

1.2. Задачи дисциплины

1. Приобретение студентами знаний в области проектирования цифровых схем с использованием ПЛИС.

2. Приобретение умений проектировать телекоммуникационные системы на ПЛИС с использованием языка описания цифровых устройств Verilog HDL.

3. Овладение практическими навыками в области разработки и отладки описаний цифровых устройств на языке Verilog HDL на основе программного обеспечения зарубежных фирм и отладочных модулей с использованием ПЛИС.

2. Место дисциплины в структуре ОПОП

Блок дисциплин: Б1. Дисциплины (модули).

Часть блока дисциплин: Часть, формируемая участниками образовательных отношений.

Модуль дисциплин: Модуль направленности (профиля).

Индекс дисциплины: Б1.В.01.09.

Реализуется с применением электронного обучения, дистанционных образовательных технологий.

3. Перечень планируемых результатов обучения по дисциплине, соотнесенных с индикаторами достижения компетенций

Процесс изучения дисциплины направлен на формирование следующих компетенций в соответствии с ФГОС ВО и основной образовательной программой (таблица 3.1):

Таблица 3.1 – Компетенции и индикаторы их достижения

Компетенция	Индикаторы достижения компетенции
Универсальные компетенции	
-	-
Общепрофессиональные компетенции	
-	-
Профессиональные компетенции	
ПКР-1. Способен выполнять математическое моделирование объектов и процессов по типовым методикам, в том числе с использованием стандартных пакетов прикладных программ	ПКР-1.1. Умеет строить физические и математические модели модулей, узлов, блоков радиотехнических устройств и систем.
	ПКР-1.2. Владеет навыками компьютерного моделирования.

4. Названия разделов (тем) дисциплины

Названия разделов (тем) дисциплины
8 семестр
1 Общие сведения об интегральных схемах с программируемой структурой (ИСПС)
2 Методология и маршрут проектирования на ПЛИС
3 Структура САПР для проектирования на ПЛИС

9 семестр

4 Языки описания цифровых устройств (Hardware Description Languages - HDL)
--

5 Функциональная верификация HDL-описаний

6 Синтезируемость HDL-описаний

7 Архитектура и схемотехника ПЛИС
