

Документ подписан простой электронной подписью  
Информация о владельце:  
ФИО: Сенченко Павел Васильевич  
Должность: Проректор по учебной работе  
Дата подписания: 05.11.2023 21:32:50  
Уникальный программный ключ:  
27e516f4c088deb62ba68945f4406e13fd454355

**МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ**  
**Федеральное государственное бюджетное образовательное учреждение высшего образования**  
**«ТОМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ СИСТЕМ**  
**УПРАВЛЕНИЯ И РАДИОЭЛЕКТРОНИКИ»**  
**(ТУСУР)**

**АННОТАЦИЯ РАБОЧЕЙ ПРОГРАММЫ ДИСЦИПЛИНЫ**

**ПРОГРАММИРОВАНИЕ ЛОГИЧЕСКИХ ИНТЕГРАЛЬНЫХ СХЕМ**

Уровень образования: **высшее образование - бакалавриат**

Направление подготовки / специальность: **11.03.02 Инфокоммуникационные технологии и системы связи**

Направленность (профиль) / специализация: **Системы мобильной связи**

Форма обучения: **очная**

Факультет: **Радиотехнический факультет (РТФ)**

Кафедра: **Кафедра радиотехнических систем (РТС)**

Курс: **3**

Семестр: **6**

Учебный план набора 2023 года

**Объем дисциплины и виды учебной деятельности**

Виды учебной деятельности	6 семестр	Всего	Единицы
Лекционные занятия	28	28	часов
Практические занятия	14	14	часов
Лабораторные занятия	20	20	часов
Самостоятельная работа	46	46	часов
Подготовка и сдача экзамена	36	36	часов
Общая трудоемкость	144	144	часов
(включая промежуточную аттестацию)	4	4	з.е.

Формы промежуточной аттестация	Семестр
Экзамен	6

## 1. Общие положения

### 1.1. Цели дисциплины

1. Изучение архитектуры и схемотехники современных программируемых логических интегральных схем, принципов проектирования цифровых схем с использованием ПЛИС, методов и средств отладки таких схем, языка проектирования цифровых устройств Verilog HDL.

### 1.2. Задачи дисциплины

1. – Приобретение студентами знаний в области проектирования цифровых схем с использованием ПЛИС. – Приобретение умений проектировать телекоммуникационные системы на ПЛИС с использованием языка описания цифровых устройств Verilog HDL. – Овладение практическими навыками в области разработки и отладки описаний цифровых устройств на языке Verilog HDL на основе программного обеспечения зарубежных фирм и отладочных модулей с использованием ПЛИС.

## 2. Место дисциплины в структуре ОПОП

Блок дисциплин: Б1. Дисциплины (модули).

Часть блока дисциплин: Часть, формируемая участниками образовательных отношений.

Модуль дисциплин: Модуль направленности (профиля) (major).

Индекс дисциплины: Б1.В.02.10.

Реализуется с применением электронного обучения, дистанционных образовательных технологий.

## 3. Перечень планируемых результатов обучения по дисциплине, соотнесенных с индикаторами достижения компетенций

Процесс изучения дисциплины направлен на формирование следующих компетенций в соответствии с ФГОС ВО и основной образовательной программой (таблица 3.1):

Таблица 3.1 – Компетенции и индикаторы их достижения

Компетенция	Индикаторы достижения компетенции
<b>Универсальные компетенции</b>	
-	-
<b>Общепрофессиональные компетенции</b>	
-	-
<b>Профессиональные компетенции</b>	
ПК-1. Способен выполнять математическое и компьютерное моделирование объектов и процессов инфокоммуникационных сетей и систем по типовым методикам для решения профессиональных задач	ПК-1.1. Знает типовые методики математического моделирования объектов и процессов инфокоммуникационных сетей и систем
	ПК-1.2. Умеет выполнять математическое и компьютерное моделирование объектов и процессов инфокоммуникационных сетей и систем
	ПК-1.3. Владеет навыками работы в системах математического и компьютерного моделирования объектов и процессов инфокоммуникационных сетей и систем

## 4. Названия разделов (тем) дисциплины

Названия разделов (тем) дисциплины
<b>6 семестр</b>
1 Общие сведения об интегральных схемах с программируемой структурой (ИСПС)
2 Методология и маршрут проектирования на ПЛИС

3 Структура САПР для проектирования на ПЛИС
4 Языки описания цифровых устройств (Hardware Description Languages - HDL)
5 Функциональная верификация HDL-описаний
6 Синтезируемость HDL-описаний
7 Архитектура и схемотехника ПЛИС