

Документ подписан простой электронной подписью
Информация о владельце:
ФИО: Сенченко Павел Васильевич
Должность: Проректор по учебной работе
Дата подписания: 27.09.2023 08:14:06
Уникальный программный ключ:
27e516f4c088deb62ba68945f4406e13fd454355

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ
Федеральное государственное бюджетное образовательное учреждение высшего образования
«ТОМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ СИСТЕМ
УПРАВЛЕНИЯ И РАДИОЭЛЕКТРОНИКИ»
(ТУСУР)

АННОТАЦИЯ РАБОЧЕЙ ПРОГРАММЫ ДИСЦИПЛИНЫ

ПРОГРАММИРОВАНИЕ ЛОГИЧЕСКИХ ИНТЕГРАЛЬНЫХ СХЕМ

Уровень образования: **высшее образование - специалитет**

Направление подготовки / специальность: **11.05.01 Радиоэлектронные системы и комплексы**

Направленность (профиль) / специализация: **Радиоэлектронные системы и комплексы**

Форма обучения: **очная**

Факультет: **Радиотехнический факультет (РТФ)**

Кафедра: **Кафедра радиотехнических систем (РТС)**

Курс: **3**

Семестр: **6**

Учебный план набора 2019 года

Объем дисциплины и виды учебной деятельности

Виды учебной деятельности	6 семестр	Всего	Единицы
Лекционные занятия	28	28	часов
Практические занятия	14	14	часов
Лабораторные занятия	16	16	часов
Самостоятельная работа	50	50	часов
Подготовка и сдача экзамена	36	36	часов
Общая трудоемкость	144	144	часов
(включая промежуточную аттестацию)	4	4	з.е.

Формы промежуточной аттестация	Семестр
Экзамен	6

1. Общие положения

1.1. Цели дисциплины

1. Изучение архитектуры и схемотехники современных программируемых логических интегральных схем, принципов проектирования цифровых схем с использованием ПЛИС, методов и средств отладки таких схем, языка проектирования цифровых устройств Verilog HDL.

1.2. Задачи дисциплины

1. Приобретение студентами знаний в области проектирования цифровых схем с использованием ПЛИС.

2. Приобретение умений проектировать телекоммуникационные системы на ПЛИС с использованием языка описания цифровых устройств Verilog HDL.

3. Овладение практическими навыками в области разработки и отладки описаний цифровых устройств на языке Verilog HDL на основе программного обеспечения зарубежных фирм и отладочных модулей с использованием ПЛИС.

2. Место дисциплины в структуре ОПОП

Блок дисциплин: Б1. Дисциплины (модули).

Индекс дисциплины: Б1.В.04.

Реализуется с применением электронного обучения, дистанционных образовательных технологий.

3. Перечень планируемых результатов обучения по дисциплине, соотнесенных с индикаторами достижения компетенций

Процесс изучения дисциплины направлен на формирование следующих компетенций в соответствии с ФГОС ВО и основной образовательной программой (таблица 3.1):

Таблица 3.1 – Компетенции и индикаторы их достижения

Компетенция	Индикаторы достижения компетенции
Универсальные компетенции	
-	-
Общепрофессиональные компетенции	
-	-
Профессиональные компетенции	
ПКР-9. Способен разрабатывать цифровые радиотехнические устройства на современной цифровой элементной базе с использованием современных пакетов прикладных программ	ПКР-9.1. Знает современный уровень микропроцессоров, микропроцессорных систем, программируемых логических интегральных схем и автоматизированных средств для разработки изделий на их основе.
	ПКР-9.2. Умеет выбирать элементную базу для цифровых радиотехнических устройств.
	ПКР-9.3. Владеет современными средствами разработки цифровых радиотехнических устройств.
ПКР-11. Способен решать задачи оптимизации существующих и новых технических решений в условиях априорной неопределенности с применением пакетов прикладных программ	ПКР-11.1. Знает методы оптимизации существующих и новых технических решений в условиях априорной неопределенности.
	ПКР-11.2. Умеет применять современный математический аппарат для решения задачи оптимизации.
	ПКР-11.3. Владеет методами оптимизации проектируемых радиоэлектронных систем и комплексов.

4. Названия разделов (тем) дисциплины

Названия разделов (тем) дисциплины
6 семестр
1 Общие сведения об интегральных схемах с программируемой структурой (ИСПС).
2 Методология и маршрут проектирования на ПЛИС.
3 Структура САПР для проектирования на ПЛИС.
4 Языки описания цифровых устройств (Hardware Description Languages - HDL).
5 Функциональная верификация HDL-описаний.
6 Синтезируемость HDL-описаний.
7 Архитектура и схемотехника ПЛИС.